

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **10-340128**

(43)Date of publication of application : **22.12.1998**

(51)Int.Cl.

G06F 1/04

G06F 9/38

(21)Application number : **09-151734**

(71)Applicant : **HITACHI LTD**

(22)Date of filing : **10.06.1997**

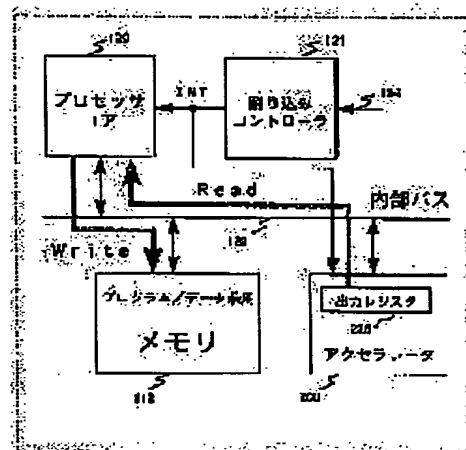
(72)Inventor : **NAKAGAWA TETSUYA
OKUBO HARUYASU
KIUCHI ATSUSHI**

(54) DATA PROCESSOR AND MOBILE COMMUNICATION TERMINAL

(57)Abstract:

PROBLEM TO BE SOLVED: To avoid the unexpected omission through carelessness of arithmetic results through an accelerator means by stopping the change of an internal clock signal that synchronizes specific arithmetic processing through a clock control circuit at the time of interrupting processing through an arithmetic processing means.

SOLUTION: Arithmetic results of an output register 226 which are read by a processor core 120 are written to a program/data shared memory 112. When an interrupt is demanded to the core 120 in the process, an interrupt request is masked through an interrupt controller 121 about an interrupt that has a low priority and the occurrence of an interrupt is inhibited. In the case of an interrupt that has a high priority, the controller 121 supplies an interrupt signal INT to an accelerator 200. That stops the supply of a clock signal to the accelerator 200 without operating accelerator correspondence bits of a module stop register.



*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]**[0001]**

[Field of the Invention]A data processing device using the dedicated hardware (it is also called an accelerator below) for this invention transposing to hardware the arithmetic processing means of a central processing unit etc., and a part of software processing which used the operation program, and accelerating the processing, Mobile communication terminal devices including a digital cellular cellular phone, etc. are started, For example, it applies to the control technique which makes processing with the digital signal processor (it is also called DSP below) which constitutes a mobile communication terminal device, and the accelerator which accelerates specific signal processing, such as waveform equalization, cooperate, and is related with effective art.

[0002]

[Description of the Prior Art]The processor represented by a general-purpose microprocessor, a microcomputer, DSP, etc. can perform data processing programmably according to the operation program. DSP is the processor which specialized in digital signal processing. For example, processing of a mobile communication terminal device is divided roughly into digital signal processing, such as voice coding decoding processing and strange recovery processing, and communications protocol processing. The former is suitable for realizing by hardware for exclusive use and programmable DSP on the character of digital signal processing. On the other hand, the latter communications protocol processing is dramatically complicated, and it is fit for realizing by the software using high-level languages, such as the C language. Based on such a fact, the method of performing voice coding decoding processing, channel coding decoding processing, strange recovery processing, etc. by DSP among baseband processings of a mobile communication terminal device, and realizing communications protocol processing by a general-purpose microprocessor is proposed.

[0003]Now, many mobile communication terminal devices are constituted using two processors called DSP and a general-purpose microprocessor as mentioned above. The processor (it is also called an integrated processor below) which unified DSP and the general-purpose microprocessor is also produced commercially these days, and even if it uses this, a mobile communication terminal device is realizable similarly. There is Hitachi SH-DSP (SH7410) as such an integrated processor. Since this integrated processor can perform an operation, performing read-out of a program and two data transfer simultaneously, it is suitable for digital signal processing, such as voice coding decoding processing, channel coding decoding processing, and waveform equalization processing.

[0004]

[Problem(s) to be Solved by the Invention]However, whether it uses said DSP and a general-purpose microprocessor or uses said integrated processor, Digital signal processing, such as voice coding decoding processing, channel coding decoding processing, and waveform

equalization processing, is realized as processing for which it depended on software chiefly on DSP or the integrated processor. Although said contents of processing for which it depended on software chiefly are variable according to the contents of the operation program, it is expected that it cannot be coped with at high speed enough to increase of an operation amount.

[0005] For example, the composition of the above-mentioned mobile communication terminal device is for mainly realizing only the present voice communication service. It is expected that high-speed data service becomes in use in a next-generation mobile communication system. It is necessary to transmit a lot of data than the case of only the present voice transmission in high-speed data service. Therefore, signal processing in which an operation amount increases in proportion to transmission quantity serves as a big burden for a mobile communication terminal device. Such signal processing includes waveform equalization, channel decryption, etc. With the present voice transmission service, programmable processors, such as DSP carried in the terminal unit, are performing these processings as software processing. However, in order to correspond to next-generation high-speed data service, just the throughput of a processor is not enough.

[0006] Here, the contents of processing of waveform equalization or channel decryption realized as software of the present processor comprise two kinds of things from which character differs. That is, although it is a simple repetition, it is as complicated as processing with many operation amounts, but an operation amount is two kinds of processings which are not. It is suitable for realizing the former as hardware and realizing the latter as software. Then, it is possible the accelerator of the hardware provided on the same chip as a processor to realize the former processing, and to make processing by the accelerator cooperate with the software processing by a processor, and to realize the whole.

[0007] Said accelerator is positioned as a peripheral circuit for the processor core (a CPU section, the DSP engine in DSP, or the CPU section and DSP engine in an integrated processor in a general-purpose microprocessor) of said processor. When a processor core writes one data in an input register, an accelerator, Data processing is performed using the arithmetic circuit which specialized in specific digital signal processing, such as waveform equalization, and the result of an operation appears in the output register of an accelerator for every prescribed cycle from the data write to an input register. The processor core of a processor reads the result-of-an-operation data which appears in an output register for every prescribed cycle from an output register one by one, and transmits it to a memory on chip etc. One cycle is usually required for reading and the processor core of a processor to write a register on chip and a memory on chip. That is, a two cycle is required for a processor to read an output register, for example, write in a memory on chip. In this case, if the throughput of an accelerator is more than a two cycle, a processor core can be transmitted to a memory on chip, without taking and spilling the result of an operation. Therefore, since processing of an accelerator and processing of a processor core can be parallelized, the overall performance of data processing, such as waveform equalization by a processor, can be raised.

[0008] However, as the processor core wrote data in the accelerator and acquired the result of an operation of a series of, when the interrupt request with a high priority occurred in the processor, it was shown clearly that the following problems were produced. That is, while the processor is performing processing for an interrupt request with a high priority, the output register of an accelerator will be overwritten by the following result of an operation. For this reason, it will take to the result of an operation of an accelerator, and ~~*****~~ will arise. In a mobile communication terminal device like a digital cellular cellular phone, high interruption of this priority is interruption accompanying transmission of the transmitted and received data through a high frequency circuit, or voice data, for example. It is necessary to transmit these data to the inside of a processor by top priority.

[0009] Then, when an interrupt request with a high priority occurs and it becomes impossible for a processor to read the output register of an accelerator, it is necessary to make operation of an

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-340128

(43) 公開日 平成10年(1998)12月22日

(51) Int.Cl.⁶G 0 6 F 1/04
9/38

識別記号

3 0 1
3 7 0

F I

G 0 6 F 1/04
9/383 0 1 B
3 7 0 C

審査請求 未請求 請求項の数12 OL (全 21 頁)

(21) 出願番号 特願平9-151734

(22) 出願日 平成9年(1997)6月10日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 中川 哲也

東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

(72) 発明者 大久保 晴康

東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

(72) 発明者 木内 淳

東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

(74) 代理人 弁理士 玉村 静世

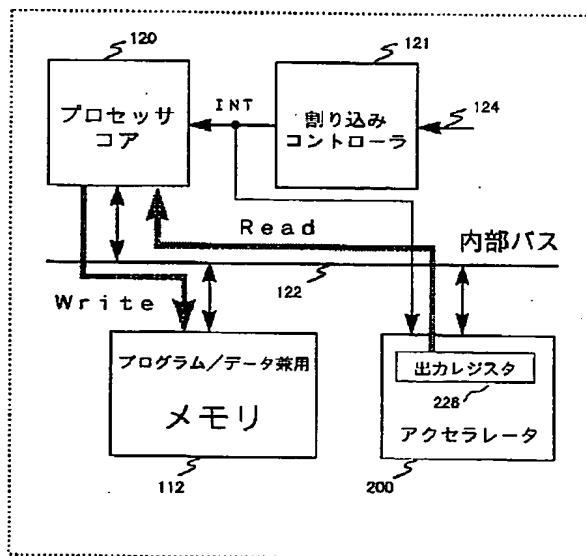
(54) 【発明の名称】 データ処理装置及び移動体通信端末装置

(57) 【要約】

【課題】 演算処理手段が専用ハードウェア手段と連携して処理を行っているとき、演算処理手段が割り込まれて、その処理が中断される場合にも、専用ハードウェア手段による演算結果を取りこぼす事態を防止する。

【解決手段】 データ処理装置(100)は、クロック信号に同期して命令を実行する演算処理手段(120)と、前記演算処理手段と連携して特定の演算処理を前記クロック信号に同期して行う専用ハードウェア手段(200)とを含み、前記専用ハードウェア手段は、前記演算処理手段に割り込み信号(INT)によって割り込みが指示されたとき、前記特定の演算処理を同期させる内部クロック信号の変化を停止させるクロック制御回路を有する。

【図1】



【特許請求の範囲】

【請求項1】 クロック信号に同期して命令を実行する演算処理手段と、前記演算処理手段と連携して特定の演算処理を前記クロック信号に同期して行う専用ハードウェア手段とを含み、前記専用ハードウェア手段は、前記演算処理手段による処理が中断されるとき、前記特定の演算処理を同期させる内部クロック信号の変化を停止させるクロック制御回路を有するものであることを特徴とするデータ処理装置。

【請求項2】 クロック信号に同期して命令を実行する演算処理手段と、前記演算処理手段と連携して特定の演算処理を前記クロック信号に同期して行う専用ハードウェア手段とを含み、前記専用ハードウェア手段は、前記演算処理手段に割り込み信号によって割り込みが指示されたとき、前記特定の演算処理を同期させる内部クロック信号の変化を停止させるクロック制御回路を有するものであることを特徴とするデータ処理装置。

【請求項3】 前記クロック制御回路は、第1の状態では前記内部クロック信号の変化を可能にし、第2の状態では前記内部クロック信号の変化を停止させるフリップフロップ回路を有し、該フリップフロップ回路は前記割り込み信号による割り込み指示によって第2の状態にされるものであることを特徴とする請求項2記載のデータ処理装置。

【請求項4】 前記専用ハードウェア手段は、前記演算処理手段によってアクセスされる入力レジスタと、前記入力レジスタに書き込まれたデータを前記内部クロック信号に同期して演算する演算回路と、演算回路で演算された演算結果がロードされる出力レジスタとを有し、前記フリップフロップ回路は、前記演算処理手段による前記入力レジスタへのデータ書き込みに同期して前記第1の状態にされるものであることを特徴とする請求項3記載のデータ処理装置。

【請求項5】 前記専用ハードウェア手段は、前記演算処理手段によってアクセスされる入力レジスタと、前記入力レジスタに書き込まれたデータを前記内部クロック信号に同期して演算する演算回路と、演算回路で演算された演算結果がロードされる出力レジスタとを有し、前記フリップフロップ回路は、前記演算処理手段による前記出力レジスタのデータ読出しに同期して前記第1の状態にされるものであることを特徴とする請求項3記載のデータ処理装置。

【請求項6】 前記演算処理手段と前記専用ハードウェア手段は単一の半導体基板にプロセッサとして形成されて成るものであることを特徴とする請求項2乃至5の何れか1項記載のデータ処理装置。

【請求項7】 クロック信号に同期して命令を実行する演算処理手段と、前記演算処理手段と連携して特定の演算処理を前記クロック信号に同期して行う専用ハードウェア手段と、前記演算処理手段以外のバスマスタ手段

と、前記演算処理手段と前記バスマスタ手段との間のバス権を調停するバス調停手段とを含み、前記専用ハードウェア手段は、バス調停信号によって前記演算処理手段にバス権放棄が指示されたとき、前記特定の演算処理を同期させる内部クロック信号の変化を停止させるクロック制御回路を有するものであることを特徴とするデータ処理装置。

【請求項8】 前記クロック制御回路は、第1の状態では前記内部クロック信号の変化を可能にし、第2の状態では前記内部クロック信号の変化を停止されるフリップフロップ回路を有し、該フリップフロップ回路は、演算処理手段への前記バス調停信号によるバス権放棄の指示によって第2の状態にされ、演算処理手段への前記バス調停信号によるバス権承認の指示によって第1の状態にされるものであることを特徴とする請求項7記載のデータ処理装置。

【請求項9】 前記演算処理手段と前記ハードウェア手段は単一の半導体基板にプロセッサとして形成されて成るものであることを特徴とする請求項7又は8記載のデータ処理装置。

【請求項10】 クロック信号に同期して命令を実行する演算処理手段と、前記演算処理手段と連携して特定の演算処理を前記クロック信号に同期して行う専用ハードウェア手段とを含み、

前記専用ハードウェア手段は、前記特定の演算処理を同期させる内部クロック信号の変化を停止させるクロック制御回路と、前記演算処理手段によってアクセスされる入力レジスタと、前記入力レジスタに書き込まれたデータを前記内部クロック信号に同期して演算する演算回路と、演算回路で演算された演算結果がロードされる出力レジスタとを有し、

前記クロック制御回路は、第1の状態では前記内部クロック信号の変化を可能にし、第2の状態では前記内部クロック信号の変化を停止されるフリップフロップ回路と、前記演算回路の演算結果による前記出力レジスタの書き換えインターバルを計数するカウンタ手段とを有し、前記フリップフロップ回路は、前記カウンタ手段による前記書き換えインターバルのカウントアップに同期して前記第2の状態にされるものであることを特徴とするデータ処理装置。

【請求項11】 前記フリップフロップ回路は、前記演算処理手段による前記出力レジスタのデータ読出しに同期して前記第1の状態にされるものであることを特徴とする請求項10記載のデータ処理装置。

【請求項12】 請求項2乃至11の何れか1項に記載のデータ処理装置と、高周波変復調手段と、前記データ処理装置と前記高周波変復調手段との間に配置されたアナログフロントエンド部とを有する移動体通信端末装置であって、前記データ処理装置に含まれる専用ハードウェア手段は、復調処理のための波形等化処理を行うもの

であることを特徴とする移動体通信端末装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、中央処理装置などの演算処理手段とその動作プログラムを用いたソフトウェア処理の一部をハードウェアに置き換えてその処理を高速化するための専用ハードウェア（以下アクセラレータとも称する）を用いたデータ処理装置、更にはデジタルセルラ携帯電話を始めとする移動体通信端末装置などに係り、例えば、移動体通信端末装置を構成するデジタルシグナルプロセッサ（以下DSPとも称する）と波形等化などの特定の信号処理を高速化するアクセラレータとの処理を連携させる制御技術に適用して有効な技術に関する。

【0002】

【従来の技術】汎用マイクロプロセッサ、マイクロコンピュータ、DSPなどに代表されるプロセッサは、その動作プログラムに従ってプログラマブルにデータ処理を行うことができる。DSPはデジタル信号処理に特化したプロセッサである。例えば、移動体通信端末装置の処理は、音声符号化復号化処理及び変復調処理等のデジタル信号処理と、通信プロトコル処理とに大別される。前者はデジタル信号処理という性質上、専用のハードウェアやプログラマブルなDSPで実現するのに適している。一方、後者の通信プロトコル処理は非常に複雑であり、C言語などの高級言語を用いたソフトウェアで実現するのに向いている。このような事実を踏まえて、移動体通信端末装置のベースバンド処理のうち、音声符号化復号化処理、通信路符号化復号化処理および変復調処理などをDSPで行い、通信プロトコル処理を汎用マイクロプロセッサで実現する方法が提案されている。

【0003】現在、多くの移動体通信端末装置は、前述のようにDSPと汎用マイクロプロセッサという2つのプロセッサを用いて構成されている。また、最近ではDSPと汎用マイクロプロセッサを統合したプロセッサ（以下統合プロセッサとも称する）も製品化されており、これを用いても同様に移動体通信端末装置を実現できる。そのような統合プロセッサとしては例えば日立製作所製のSH-DSP（SH7410）がある。この統合プロセッサは、プログラムの読み出しと2つのデータ転送を同時に行いながら演算を実行できるので、音声符号化復号化処理、通信路符号化復号化処理及び波形等化処理といったデジタル信号処理に適している。

【0004】

【発明が解決しようとする課題】しかしながら、前記DSPと汎用マイクロプロセッサを用いても、また、前記統合プロセッサを用いても、音声符号化復号化処理、通信路符号化復号化処理及び波形等化処理といったデジタル信号処理は、DSPや統合プロセッサ上で専らソフトウェアに依存した処理として実現されている。前記専ら

ソフトウェアに依存した処理内容はその動作プログラムの内容に従って可変であるが、演算量の増大に対しては充分高速に対処できないことが予想される。

【0005】例えば、上記の移動体通信端末装置の構成は現行の音声通信サービスのみを主に実現するためのものである。次世代の移動通信システムにおいては高速データサービスが主流になると予想されている。高速データサービスにおいては現行の音声伝送のみの場合よりも大量のデータを伝送する必要がある。よって伝送量に比例して演算量が増大する信号処理が移動体通信端末装置にとって大きな負担となってくる。こうした信号処理には波形等化や通信路復号化などがある。現行の音声伝送サービスではこれらの処理は端末装置に搭載されたDSPなどのプログラマブルなプロセッサがソフトウェア処理として行っている。しかし、次世代の高速データサービスに対応するためにはプロセッサの処理能力だけでは充分ではない。

【0006】ここで、現在プロセッサのソフトウェアとして実現されている波形等化や通信路復号化の処理の内容は性格の異なる2種類のものから構成されている。すなわち、単純な繰り返しであるが演算量の多い処理と、複雑ではあるが演算量はそれほど多くない処理の2種類である。前者はハードウェアとして後者はソフトウェアとして実現するのに適している。そこで前者の処理を、プロセッサと同一チップ上に設けたハードウェアのアクセラレータによって実現し、そのアクセラレータによる処理をプロセッサによるソフトウェア処理と連携させて全体を実現することが考えられる。

【0007】前記アクセラレータは、前記プロセッサのプロセッサコア（汎用マイクロプロセッサにおけるCPU部、DSPにおけるDSPエンジン、又は統合プロセッサにおけるCPU部とDSPエンジン）にとって周辺回路として位置付けられる。プロセッサコアが、入力レジスタに一つのデータを書き込むと、アクセラレータは、波形等化などの特定のデジタル信号処理に特化した演算回路を用いてデータ処理を行い、入力レジスタへのデータ書き込みから所定サイクル毎に、アクセラレータの出力レジスタに演算結果が現れる。プロセッサのプロセッサコアは、所定サイクル毎に出力レジスタに現れる演算結果データを順次出力レジスタから読み出してオンチップメモリなどに転送する。プロセッサのプロセッサコアがオンチップのレジスタやオンチップのメモリを読み書きするには普通1サイクルが必要である。つまりプロセッサが出力レジスタを読み出して、たとえば、オンチップメモリに書き込むには2サイクルが必要である。この場合、アクセラレータのスループットが2サイクル以上であれば、プロセッサコアは演算結果を取りこぼすことなく、オンチップメモリに転送できる。従って、アクセラレータの処理とプロセッサコアの処理とを並列化できるので、プロセッサによる波形等化などのデ

ータ処理の全体的な性能を向上させることができる。

【0008】しかしながら、プロセッサコアがアクセラレータにデータを書き込んで、その一連の演算結果を取得している途中に、プロセッサに優先度の高い割り込み要求が発生すると、以下の問題を生ずることが明らかにされた。すなわち、プロセッサが優先度の高い割り込み要求のための処理を行っている間、アクセラレータの出力レジスタが次の演算結果で上書きされてしまう。このためアクセラレータの演算結果に取りこぼしが生じてしまう。デジタルセルラ携帯電話のような移動体通信端末装置において、この優先度の高い割り込みは、たとえば、高周波回路を介しての送受信データや音声データの転送に伴う割り込みである。これらのデータは最優先でプロセッサ内部に転送する必要がある。

【0009】そこで優先度の高い割り込み要求が発生してプロセッサがアクセラレータの出力レジスタを読めなくなった場合、アクセラレータの動作を一時停止させて演算結果の取りこぼしを防ぐ必要がある。すなわち、プロセッサが優先度の高い処理を行っている間、アクセラレータの動作が一時的に停止させられる。優先度の高い処理の終了後、アクセラレータの動作が再開させられる。アクセラレータの動作がプロセッサの動作クロック信号に同期されている場合、アクセラレータの動作を停止させるには、アクセラレータへのクロック信号の供給を一時停止させればよい。

【0010】統合プロセッサやDSPなどのプロセッサは、アクセラレータを始めとするオンチップの周辺モジュールへのクロック信号の供給を制御する構成をもつものがある。このようなクロック制御は、オンチップモジュールへのクロック信号の供給を選択的に停止させることにより、周辺モジュールが動作していないときチップの全体的な消費電力を抑えようとするものである。このクロック制御では、プロセッサ内に1つの統合クロック制御レジスタが用意される。このレジスタ内の各ビットはオンチップの各周辺モジュールに対応している。プロセッサコアがこのレジスタのあるビットに“1”を書き込むと、対応する周辺モジュールにクロック信号が供給され、“0”を書き込むとクロック信号の供給が停止される。

【0011】しかしながら、そのようなクロック制御では、割り込み発生時にプロセッサコアが前記アクセラレータの演算結果を取りこぼす事態を阻止することはできない。なぜならば、プロセッサが割り込みを受け付けると、プロセッサコアの処理は割り込み処理に分岐され、最早前記クロック供給レジスタにアクセスできなくなり、クロック信号の供給を停止させることが不可能になるからである。割り込みはプロセッサの動作とは非同期に発生するため、割り込みの発生を予測してクロック信号の供給を予め停止させることもできない。割り込みに関する上記問題点は、他のバスマスタモジュールによる

バス権要求に基づいてプロセッサコアがバス権を放棄するときにも生ずる。

【0012】本発明の目的は、演算処理手段がアクセラレータ手段としての処理回路又はハードウェア回路と連携して処理を行っているとき、演算処理手段が割り込まれたり、バス権を失って、その処理が中断される場合にも、アクセラレータ手段による演算結果を取りこぼす事態を防止できるデータ処理装置を提供することにある。

【0013】本発明の別の目的は、演算量の増大に対する高速処理をアクセラレータ手段としての処理回路又はハードウェア回路を用いて実現できる移動体通信端末装置を提供することにある。

【0014】本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0015】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0016】すなわち、データ処理装置は、クロック信号に同期して命令を実行する演算処理手段(120)と、前記演算処理手段と連携して特定の演算処理を前記クロック信号に同期して行う処理回路としての専用ハードウェア手段(200)とを含み、前記専用ハードウェア手段は、前記演算処理手段による処理が中断されるとき、前記特定の演算処理を同期させる内部クロック信号(CLK1, CLK2)の変化を停止させるクロック制御回路(206)を有する。

【0017】専用ハードウェア手段の内部クロック信号の変化を停止させる制御態様は、例えば、以下の3態様に分類することができる。第1の態様は、演算制御手段への割り込み信号(INT)による割り込み同期して前記内部クロック信号を停止させる。第2の態様は、演算制御手段にバス調停信号(BRDY1)によるバス権放棄が指示されたとき、前記内部クロック信号を停止させる。第3の態様は、演算制御手段が専用ハードウェア手段から演算結果をリードすべきインターバル毎に自動的に内部クロック信号を停止させる。以下、各々の態様について手段を更に詳述する。

【0018】第1の態様に関するデータ処理装置は、前記演算処理手段に割り込み信号(INT)によって割り込みが指示されたとき、前記特定の演算処理を同期させる内部クロック信号(CLK1, CLK2)の変化を停止させるクロック制御回路(206)を有する。例えば、前記クロック制御回路は、第1の状態では前記内部クロック信号の変化を可能にし、第2の状態では前記内部クロック信号の変化を停止されるフリップフロップ回路(255)などの記憶回路を有し、該フリップフロップ回路は前記割り込み信号による割り込み指示によって第2の状態にされる。

【0019】前記専用ハードウェア手段(200)は、例えば、前記演算処理手段(120)によってアクセスされる入力レジスタ(222)と、前記入力レジスタに書き込まれたデータを前記内部クロック信号に同期して演算する演算回路(223, 224, 225, 231)と、演算回路で演算された演算結果が格納(ロード)される出力レジスタ(226)とによって構成することができる。

【0020】このとき、前記演算処理手段による前記入力レジスタへのデータ書き込みに同期して前記フリップフロップ回路を前記第1の状態にすることができる。これによって、専用ハードウェア手段は、内部クロック信号の変化が停止されていても、演算対象データの書き込みに連動して又は応答して内部クロック信号の変化が再開され、演算可能な状態にされる。

【0021】また、前記演算処理手段による前記出力レジスタのデータ読出しに同期して前記フリップフロップ回路を前記第1の状態にすることができる。これによって、専用ハードウェア手段は、内部クロック信号の変化が停止されていても、演算結果データの読出しに連動して又は応答して、内部クロック信号の変化が再開され、演算可能な状態にされる。

【0022】前記演算処理手段と前記専用ハードウェア手段は単一の半導体基板にプロセッサとして形成することができる。

【0023】第2の態様に関するデータ処理装置は、前記演算処理手段以外のバスマスタ手段(131)と、前記演算処理手段と前記バスマスタ手段との間のバス権を調停するバス調停手段(130)とを更に含む。このとき、クロック制御回路(206)は、バス調停信号(BRDY1)によって前記演算処理手段にバス権放棄が指示されたとき、前記特定の演算処理を同期させる内部クロック信号の変化を停止させる。クロック制御回路は、例えば第1の状態では前記内部クロック信号の変化を可能にし、第2の状態では前記内部クロック信号の変化を停止させるフリップフロップ回路を有し、該フリップフロップ回路は、演算処理手段への前記バス調停信号によるバス権放棄の指示によって第2の状態にされ、演算処理手段への前記バス調停信号によるバス権承認の指示によって第1の状態にされる。

【0024】第3の態様に関するデータ処理装置は、クロック信号に同期して命令を実行する演算処理手段(120)と、前記演算処理手段と連動して特定の演算処理を前記クロック信号に同期して行う専用ハードウェア手段(200)とを含む。前記専用ハードウェア手段は、前記特定の演算処理を同期させる内部クロック信号(CLK1, CLK2)の変化を停止させるクロック制御回路(206)と、前記演算処理手段によってアクセスされる入力レジスタ(222)と、前記入力レジスタに書き込まれたデータを前記内部クロック信号に同期して演

算する演算回路(223, 224, 225, 231)と、演算回路で演算された演算結果がロードされる出力レジスタ(226)とを有する。前記クロック制御回路は、第1の状態では前記内部クロック信号の変化を可能にし、第2の状態では前記内部クロック信号の変化を停止させるフリップフロップ回路(255)と、前記演算回路の演算結果による前記出力レジスタの書き換えインターバルを計数するカウンタ手段(292, 293, 296, 298)とを有し、前記フリップフロップ回路は、前記カウンタ手段による前記書き換えインターバルのカウントアップに同期して前記第2の状態にされる。前記フリップフロップ回路は、前記演算処理手段による前記出力レジスタのデータ読出しに同期して前記第1の状態にすることができる。

【0025】移動通信端末装置は、通信プロトコル処理、通信路符号復号化処理及び変復調処理に用いる前記データ処理装置(1723, 1727)と、高周波変復調手段(1710)と、前記データ処理装置と前記高周波変復調手段との間に配置されたアナログフロントエンド部(1702)とを含んで構成することができる。

【0026】

【発明の実施の形態】図15には移動体通信システムの概要が示されている。図15にはユーザ1602、移動体通信端末装置(単に通信端末とも称する)1601および基地局1600が示してある。ユーザ1602は通信端末1601を用いて基地局1600にアクセスして種々のサービスを受けることになる。他の通信端末と通信する場合も基地局1600を介して行うので通信端末と基地局間の通信処理は同じである。

【0027】通信端末1601はユーザインターフェース・システム制御部1609、通信プロトコル処理部1610、音声符号化復号化処理、通信路符号化復号化処理及び変復調処理部1611、そしてアナログフロントエンド(AFE)・RF回路1605で構成される。基地局1600はシステム制御部1612、通信プロトコル処理部1613、通信路符号化復号化処理・復調部1614、そしてアナログフロントエンド(AFE)・RF回路1606で構成される。

【0028】通信端末1601が基地局1600とやり取りする仕方には大きく分けて2つある。一つは音声などユーザのデータをやり取りする場合であり、もう一方はシステム運用上の制御データをやり取りする場合である。1604はスピーカである。

【0029】音声データをやり取りする場合は次のようになる。マイクロフォン1603から入力された音声データは、デジタルデータに変換された後、処理部1611による音声符号化処理により圧縮される。圧縮された音声データは処理部1611による通信路符号化処理によって誤り訂正用の情報が付加されてから、処理部1611で変調処理される。以上の処理はデジタル領域で行

われる。変調されたデジタル音声は処理部1605のアナログフロントエンド(AFE)でアナログデータに変換され、RF回路で高周波の電波に乗せてアンテナ1607から発信される。この電波は基地局1600のアンテナ1608で受信されてから一旦復調される。そして通信相手に割り当てられている周波数(周波数分割多重の場合)で再び変調され、通信相手に割り当てられているタイムスロット(時分割多重の場合)のタイミングで通信相手に基地局から再送信される。

【0030】次にシステム運用上の制御データをやり取りする場合を説明する。この場合、通信端末1601内の通信プロトコル処理部1610と基地局1600内の通信プロトコル処理部1613とが情報のやり取りを行う。両者の間には仮想的な論理接続が形成される。この仮想的な論理接続は以下のような物理接続で実現されている。例えば基地局1600が通信端末に何か指示を出す場合、次のようになる。予め決められたプロトコルに従った指示データは処理部1614により通信路符号化処理と変調処理が施される。そして処理部1606のアナログフロントエンド(AFE)でアナログデータに変換され、RF回路で電波に乗せてアンテナ1608から発信される。この電波は通信端末1601のアンテナ1607で受信されてから、処理部1605のRF回路とアナログフロントエンド(AFE)を経てベースバンドのデジタルデータに変換される。続いて処理部1611による復調処理、通信路復号化処理が施され、通信プロトコル処理部1610に渡される。

【0031】以上、通信端末1601が基地局1600と信号をやり取りする2つのやり方および関連する処理の概要を説明した。これら関連する処理は2種類に大別できる。音声符号化復号化処理、通信路符号化復号化処理および変復調処理はデジタル信号処理に分類され専用のハードウェアやプログラマブルなデジタルシグナルプロセッサ(DSP)で実現するのに適している。一方、通信プロトコル処理は非常に複雑であり、C言語などの高級言語を用いたソフトウェアで実現するのに向いている。

【0032】移動体通信端末装置のベースバンド処理のうち、音声符号化復号化処理、通信路符号化復号化処理および変復調処理をDSPで行い、通信プロトコル処理を汎用マイクロプロセッサで実現することができる。

【0033】図16にはDSPと汎用マイクロプロセッサを用いて構成した移動体通信端末装置の一例が示される。

【0034】この移動体通信端末装置はヨーロッパのデジタルセルラ電話の使用であるGSM(Global System for Mobile communications)用のものである。図16の移動体通信端末装置はDSP1723、DSP用のRAM(Random access Memory)1700、DSP用のROM(Read Only Memory)1701、汎用マイクロプロ

セッサ1727、ベースバンド用アナログフロントエンドAFE1702、高周波変復調器1710、パワーアンプ(PA)1712、アンテナ1713、デュプレクサ1714、ローノイズアンプ(LNA)1715、マイクロフォン1708、スピーカ1709、周波数シンセサイザ1716、システムタイミング回路1719、電圧制御システムクロック1721、1/4分周回路1722、サウング用DA変換器1731、サウング1730、電池監視用AD変換器1732、電池監視回路1733、電池1734、汎用マイクロプロセッサ用のRAM1739、汎用マイクロプロセッサ用のROM1738、液晶ディスプレイ(LCD)1737、SIM(Subscriber Identity Module)1736及びキーボード1735で構成されている。

【0035】音声送信時、マイクロフォン208から入力された音声は増幅された後、音声用AD変換器1706でサンプリングされてデジタルデータに変換される。サンプリングレートは8kHz、ビット精度は13bitである。デジタル化されたデータはDSP1723に送られ、圧縮符号化、通信路符号化された後、再びアナログフロントエンドAFE1702のI/Q用DA変換器1704に渡される。ここでアナログデータに変調、変換されて高周波変復調器1710に入力される。そしてRF周波数(〜800MHz)に乗せられてアンテナ1713から発信される。デュプレクサ1714は入力電波と出力電波を分離するのに使われる。高周波変復調で使われる高周波サイン波1717は周波数シンセサイザ1716で合成される。ROM1701にはDSP1723で実行されるプログラムが内蔵されており、RAM1700はDSP1723のワーク用である。

【0036】音声受信時、アンテナ1713で受信されたデータはローノイズアンプLNA1715を介して高周波変復調器1710に入力される。ここで低周波のベースバンドアナログ信号に変換され、アナログフロントエンド(AFE)1702のI/Q用AD変換器1704に渡される。サンプリングされ、デジタルデータに変換されたデータはDSP1723に送られて通信路復号化、圧縮復号化される。その後、音声用DA変換器1706でアナログデータに変換され、スピーカ1709から出力される。

【0037】ユーザが電話をかける時、キーボード1735とLCD1737を用いる。SIM1736は着脱できるユーザIDモジュールであり、これを通信端末に装着することによって端末をそのユーザ専用のものにできる。ROM1738には汎用マイクロプロセッサ1727で実行されるプログラムが内蔵されており、RAM1739は汎用マイクロプロセッサ1727のワーク用である。電池1734は本端末全体のメインバッテリーであり、電池監視回路1733、電池監視用AD変換器1732を通して、汎用マイクロプロセッサ1727が

その残量をモニタする。電話がかかってきた時、汎用マイクロプロセッサ1727はサウンダ(Sounder)用DA変換器1731を介してサウンダ1730を鳴らす。

【0038】移動体通信端末装置の基本クロック ϕ (13MHz)は電圧制御システムクロック発生器1721から供給される。この基本クロック ϕ が入力されるシステムタイミング回路1719は必要なシステムタイミング信号1740、1720を生成して端末内に分配する。基本クロック ϕ は、また、DSP1723と汎用マイクロプロセッサ1727にも供給される。GSMにおけるDSPの処理では20~50MIPS(Mega Instruction Per Second)の演算速度が必要とされている。図16ではDSP1723に搭載されたPLL(Phase Locked Loop)回路1725を使ってDSPが基本クロック13MHzの4倍の52MHzで動作している。一方、GSMにおける汎用マイクロプロセッサのCPU処理は1~2MIPSの演算速度が必要とされている。そこで図16では1/4分周回路1722で基本クロック ϕ (13MHz)の4分の1の3.25MHzを生成し、このレートで汎用マイクロプロセッサを動かしている。

【0039】移動体通信端末装置の基本クロック ϕ (13MHz)は基地局のマスタークロック(13MHz)と厳密に周波数を合わせる必要がある。これは次のようにして達成される。まず、基地局から厳密な周波数情報を受け取る。そしてDSP1723はこの情報に基づき、AFC(Auto Frequency Control)用DA変換器1707を介して電圧制御システムクロック発生器1721を制御して周波数を調整する。また、基地局から端末の電波出力の指示がくる場合もある。この時はDSP1723がPA(Power Amp)用DA変換器1703を駆動して、パワーアンプ制御信号1711にてパワーアンプ1712の出力を調整する。さらにDSP1723は受信信号の振幅情報に基づき、AGC(Auto Gain Control)用DA変換器1705を介して高周波変復調器1710内のゲインを調整する。

【0040】DSP1723と汎用マイクロプロセッサ1727間の通信は以下のように行われる。DSP1723はHIF(Host Interface)1724を介して汎用マイクロプロセッサの外部バス1728に接続されている。汎用マイクロプロセッサ1727はこのHIF1724からDSPの内部リソースを自由に読み書きできる。DSP1723が汎用マイクロプロセッサ1727に連絡したい時は割り込み信号1726を用いる。

【0041】図16では移動通信端末はDSP1723と汎用マイクロプロセッサ1727という2つのプロセッサを用いて構成されている。また、前記DSP1723と汎用マイクロプロセッサ1727は、双方を1チップに内蔵して統合した統合プロセッサとして構成することもできる。このとき、統合プロセッサには、ROMや

RAMをオンチップすることが可能である。

【0042】図17にはDSP又は統合プロセッサの内部構成の一例が示される。図17に示されるプロセッサ100はデータ演算ユニット108、プログラム制御/データ転送ユニット109、データ用メモリX110、データ用メモリY111、プログラム/データ兼用メモリ112、周辺回路113、Xアドレスバス102、Yアドレスバス101、メインアドレスバス103、制御バス104、Xデータバス105、Yデータバス106、メインデータバス107で構成される。

【0043】図17の構成において、前記データ演算ユニット108、プログラム制御/データ転送ユニット109、データ用メモリX110及びデータ用メモリY111はプロセッサコア120を構成する。プロセッサコア120とは、汎用マイクロプロセッサの場合にはCPU部であり、DSPの場合にはDSPエンジンであり、統合プロセッサの場合にはCPU部及びDSPエンジンである。CPU部は、命令をフェッチし、フェッチした命令を解釈し、その解釈結果にしたがってレジスタや整数演算器を操作して命令を実行するユニットである。DSPエンジンは、コマンド若しくは制御信号を受け、それによって指示されるデジタル信号処理を積和演算器などを用いて実行するユニットである。

【0044】図17にはプロセッサ100の核となる部分のみ詳細に示してある。実際のプロセッサには割り込みコントローラ、バスアービタおよびDMAC(Direct Memory Access Controller)などの周辺回路が搭載されている。これらは図17においては周辺回路113としてまとめて示してある。

【0045】プロセッサ100はプログラム/データ兼用メモリ112に格納されたプログラムをメインデータバス107を介してプログラム制御/データ転送ユニット109に読み込み、デコードして実行する。この時に読み出されるプログラムのアドレスはプログラム制御/データ転送ユニット109からメインアドレスバス103を経由してプログラム/データ兼用メモリ112に供給される。

【0046】プロセッサ100は上記プログラムの読み出しと同時に2つのデータをデータ演算ユニット108に供給できる。すなわち、データ用メモリX110に格納されている1つのデータをXデータバス105を介してデータ演算ユニット108に転送すると同時に、データ用メモリY110に格納されている別の1つのデータをYデータバス106を経由してデータ演算ユニット108に転送できる。読み出される2つのデータのアドレスはデータ用メモリX110とデータ用メモリY111にそれぞれXアドレスバス102、Yアドレスバス101を介してプログラム制御/データ転送ユニット109から供給される。

【0047】図17に示されたプロセッサ100は、そ

れがDSP又は統合プロセッサの何れのプロセッサであっても、波形等化や通信路復号化などの、演算量の多い信号処理に利用される。

【0048】そのような波形等化や通信路復号化の処理の内容は性格の異なる2種類のものから構成されている。すなわち、単純な繰り返しであるが演算量の多い処理と複雑ではあるが演算量はそれほど多くない処理の2種類である。前者はハードウェアとして、後者はソフトウェアとして実現するのに適している。そこで前者の処理をプロセッサ100と同一チップ上にオンチップのハードウェアのアクセラレータとして実現し、プロセッサコア120によるソフトウェア処理と連携させて全体を実現することができる。アクセラレータは、図17の周辺回路113の一つとして位置付けることができる。

【0049】図18には前記アクセラレータの一例が示される。図18のアクセラレータ200は例えば上記波形等化処理を対象としたものである。図18のアクセラレータ200は入力レジスタ222、第1演算回路223、中間レジスタ224、第2演算回路225、出力レジスタ226、入出力制御回路209、アドレスデコード210、内部タイミング回路217、内部メモリ231、及び2相クロック制御回路206で構成される。図18のアクセラレータ200は図17に示したプロセッサ100の制御バス104、メインデータバス107およびメインアドレスバス103に接続される。アクセラレータ200は図17のプロセッサ100の一つの周辺回路113として接続される。

【0050】図19には図17のプロセッサ100のメモリ空間にマッピングされた図18のアクセラレータ200の資源が示してある。アクセラレータ200の資源は入力レジスタ222、出力レジスタ226、内部メモリ231であり、プロセッサ100はメモリ空間の対応するアドレスを読み書きすることにより、これらにアクセスする。

【0051】プロセッサ100のプロセッサコア120はアクセラレータ200を起動する前に内部メモリ231に必要なデータを書き込み、また処理に必要な状態変数の初期化を行っておく。プロセッサ100のプロセッサコア120は入出力制御回路209を介して入力レジスタ222、出力レジスタ226、内部メモリ231にアクセスする。いずれの資源にアクセスするかはアドレスで選択される。このアドレスはアドレスバス204を経由してアドレスデコード210で解読され、解読された信号は入力レジスタ222や出力レジスタ226などの選択信号として入出力制御回路209で使用される。アクセラレータ200の起動はプロセッサ100のプロセッサコア120が入出力制御回路209を介して入力レジスタ222にデータ書き込むことで行われる。

【0052】その詳細は後で説明するが、アクセラレータ200はノンオーバーラップ2相のクロック信号CLK

1、CLK2に同期動作される。クロック信号CLK1、CLK2はシステムクロック信号CLKに基づいて2相クロック制御回路206が生成する。2相クロック制御回路206は、後でその詳細を説明するが、クロック停止制御信号やプロセッサコア120への割り込み信号などに基づいて、クロック信号CLK1、CLK2の供給停止動作を行う。図18において218、220、216はレジスタ222、224、226に対する出力タイミング信号であり、211、219、221はレジスタ222、224、226の入力タイミング信号である。232、233は内部メモリ231と演算回路223、225を接続するためのデータ信号線である。入出力制御回路209はデータ線214とアドレス線213とを介して内部メモリ231にアクセスする。図18では図17の制御バス104に含まれるリード信号RD_とライトイネーブル信号WE_が代表的に示されている。

【0053】図18のアクセラレータ200は入力レジスタ222に1つのデータが書き込まれると演算を開始し、内部メモリ231のデータを用いて合計8個の出力データを生成する。第1演算回路223と第2演算回路225は両者とも実行に3サイクルかかる。入力レジスタ222に1つのデータが書き込まれてから、3サイクル後に第1演算回路223は最初の間データデータを中間レジスタ224に出力する。以後、第1演算回路223は3サイクル毎に中間レジスタ224を更新する。第2演算回路225は中間レジスタ224に最初の間データデータが書き込まれてから3サイクル後に最初の出力データデータを出力レジスタ226に出力する。以後、第2演算回路225は3サイクル毎に出力レジスタ226を更新する。3サイクル毎に中間レジスタ224と出力レジスタ226を更新するのに必要なタイミング信号は、内部タイミング回路217によって供給される。

【0054】前記アクセラレータ200で行われる波形等化処理は、例えば、公知の畳み込み符号をデコードする処理と同等であり、前記第1演算回路223はランチメトリック処理を行い、第2演算回路225はアッドコンペアセレクト処理を行う。この処理は適応型の自動等化処理であり、復調に当たってフェージングの影響をキャンセルする処理である。

【0055】図20にアクセラレータ200のデータ入出力の全体的なタイミングを示す。入力レジスタ222に1つのデータが書き込まれてから6サイクル後に最初の出力データが出力レジスタ226に現れる。その後、3サイクル毎に出力レジスタ226は新しい出力データで更新される。このようにして合計8個の出力データが1つの出力レジスタ226に現れる。プロセッサ100のプロセッサコア120はソフトウェア的に前記出力レジスタ226からデータを読み出して、プロセッサ100のオンチップメモリに転送する。プロセッサ100が

15

オンチップのレジスタやメモリを読み書きするには普通1サイクルで充分である。つまりプロセッサ100が出力レジスタ226を読み出してオンチップメモリに書き込むのは2サイクルかかる。そこでアクセラレータ200のスループットが2サイクル以上かかれば、演算結果を取りこぼすことなくメモリに転送できることになる。図18のアクセラレータ200のスループットは3サイクルなので、その条件を満たしており、演算結果の取りこぼしは生じない。この構成を用いることによりアクセラレータ200の処理とプロセッサコア120によるデータ転送とを時間的に並列化でき、プロセッサ100全体のデータ処理性能を向上させることができる。

【0056】以上の説明から理解されるように、前記アクセラレータ200は、クロック信号に同期して自走的に動作しており、プロセッサコア120のアクセスによって入力レジスタ222に一つのデータが書き込まれると、前記自走動作によって所定サイクル期間を通し出力レジスタ226には逐次演算結果が与えられる。プロセッサコア120はその間、出力レジスタ226に新たな演算結果が順次現れるタイミングに同期してその演算結果をメモリにストアしなければならない。

【0057】このとき、プロセッサ100は、アクセラレータ200を用いた処理よりも優先度の高い割り込み要求が発生し、プロセッサコア120が当該優先度の高い割り込み要求に回答する処理に分岐したとき、アクセラレータ200の出力レジスタ226が次の演算結果で書き込まれて演算結果に取りこぼしを生じないようにしている。すなわち、優先度の高い割り込み要求が発生してプロセッサコア120がアクセラレータ200の出力レジスタ226を読めなくなった場合、アクセラレータ200の動作が一時的に停止される。それによって、プロセッサコア120の演算結果の取りこぼしが防止される。プロセッサコア120が優先度の高い処理を行っている間、アクセラレータ200は一時的にその動作が停止させられる。プロセッサコア120が優先度の高い処理を終了した後、アクセラレータ200の動作が再開させられればよいわけである。アクセラレータ200の動作を停止させる為、クロック信号CLK1、CLK2の供給が一時的に停止される。

【0058】前記アクセラレータ200に対するクロック制御の具体的な構成を説明する前に、先ず、周辺回路に対するクロック供給停止制御の基本的な構成について図21を参照しながら説明する。

【0059】プロセッサ内部の同期用クロック信号としてオーバーラップのない2相クロック信号(ノンオーバーラップ2相クロック信号)CLK1、CLK2を用いる。すなわち、振幅がハイレベルである期間がローレベルである期間より短いクロック波形で位相が互いに180度ずれた2つのクロック信号CLK1、CLK2を用いる。この2相クロック信号CLK1、CLK2をプロ

16

セッサ100内部の一個所で生成して各モジュールに分配する方法も考えられるが通常はそうしない。2本のクロック信号線をプロセッサ100の内部で引き回すと配線長が長くなり、それによる伝播遅延で双方のクロック信号のハイレベル期間とローレベル期間が重なる期間があるからである。そこでプロセッサ全体では一つの基本クロック信号CLKを引き回し、各モジュール内でこの基本クロック信号CLKから2相クロック信号CLK1、CLK2を生成する方法がとられている。この基本クロックは振幅がハイレベルである期間とローレベルである期間が等しい。図21の(A)に各モジュール内で用いられる2相クロック生成回路の詳細を示す。

【0060】2相クロック生成回路2300は、インバータ2301と、2つの遅延回路2302、2303と、2つのNAND回路2304、2305と、2つのインバータ2306、2307とによって構成される。2相クロック生成回路2300の入力2311に基本クロック信号CLKが入力されるとクロック信号CLK2には、基本クロック波形と遅延回路2302で遅らされた基本クロック波形との論理積によって得られる波形が現れる。すなわち、基本クロック信号CLKと同じ周期を持ち、振幅がハイレベルである期間がローレベルである期間より短いクロック波形がクロック信号CLK2として生成される。一方、クロック信号CLK1には、基本クロック信号CLKの反転に対して同様の操作が行われた結果が現れる。クロック信号CLK2と同様に振幅がハイレベルである期間がローレベルである期間より短いクロック波形で位相がクロック信号CLK2に対して180度ずれたものとなる。これらの波形の関係は図21の(B)のタイミング図に示してある。

【0061】また、図21の(A)には基本クロック信号CLKを上記2相クロック生成回路2300に供給するかどうかを制御するAND回路2308も示してある。クロックイネーブル信号CLKENがハイレベルの時、基本クロック信号CLKが2相クロック生成回路の入力2311に接続される。クロックイネーブル信号CLKENがローレベルの時、2相クロック生成回路の入力2311はローレベルに固定される。すなわち、クロックイネーブル信号CLKENがローレベルになるとクロック信号CLK1はハイレベルに固定され、クロック信号CLK2はローレベルに固定される。この状態は、図21の(B)のタイミング図に置く“クロック停止位置”で示される状態である。

【0062】次に、前記ノンオーバーラップ2相クロック信号CLK1、CLK2を用いて動作されるプロセッサコア120やアクセラレータ200内部のレジスタについて説明する。

【0063】図22にはレジスタの1ビット1800の構成が代表的に示される。図18で説明したアクセラレータ200が有するレジスタ222、224、226の

各ビットも図22と同じ構造を有する。

【0064】レジスタの1ビット1800は、4個のクロックインバータ1802、1806、1808、1812と、4個のインバータ1804、1806、1810、1811とによって構成される。前記2個のクロックインバータ1802、1806と前記2個のインバータ1804、1806は、入力ラッチを構成する。この入力ラッチはクロック信号CLK2がハイレベルの時にクロックインバータ1802を開けて、入力データ1801を記憶ノード1807に導く。クロック信号CLK2がローレベルの時はクロックインバータ1806を開けてデータを記憶ノード1807の内容をループバックさせて保持する。一方、クロックインバータ1808、1812と2つのインバータ1810、1811は出力ラッチを構成する。この出力ラッチはクロック信号CLK1がハイレベルの時にクロックインバータ1808を開けて記憶ノード1807に保持されたデータを出力端子1813に出力する。クロック信号CLK1がローレベルの時はクロックインバータ1812を開けて前回の出力データをループバックさせて保持する。

【0065】レジスタがそのように構成されていることによって、クロック信号CLK1がハイレベル且つクロック信号CLK2がローレベルの状態にされたとき、レジスタはその記憶情報を保持する。図21に基づいて説明したように、クロックイネーブル信号CLKENがローレベルにされると、クロック信号CLK1がハイレベル且つクロック信号CLK2がローレベルのと状態に固定される。したがって、クロックイネーブル信号CLKENをローレベルに強制して周辺回路へのクロック信号の供給を停止したとき、レジスタの内容はそのまま保持されることが理解されるであろう。

【0066】ここで、プロセッサコア120がプロセッサ100に内蔵されているアクセラレータ200を始めとする周辺回路に対してクロック信号の供給を制御するための基本的な構成について、図23を用いて説明する。

【0067】図23には前記プロセッサ100に内蔵されているプロセッサコア120と、停止制御モジュール702及び周辺モジュール700が代表的に示されている。前記停止制御モジュール702及び周辺モジュール700は図17に示される周辺回路113に含まれる一部の回路モジュールである。図17に示されるその他の回路モジュールの図示は省略してある。

【0068】前記停止制御モジュール703は、モジュール停止レジスタ704とアドレスデコーダ705を有する。プロセッサコア120はモジュール停止レジスタ704をアドレス信号で指定して読み書きすることができる。アドレスデコーダ705はそのアドレス信号をデコードして、モジュール停止レジスタ704の選択信号

を生成する。

【0069】前記モジュール停止レジスタ704の各ビットはマイクロプロセッサ100にオンチップされている所定の複数個の周辺モジュール(周辺回路113に含まれる)に対応している。プロセッサコア120がこのレジスタのあるビットに“1”を書き込むと、そのビットに対応する周辺モジュールにクロック信号CLKが供給され、“0”を書き込むとクロック信号CLKの供給が停止される。図23では、モジュール停止レジスタ704の1ビットがクロックイネーブル信号708として周辺モジュール700に供給されている。周辺モジュール700は、内部回路714、2相クロック生成回路717及びAND回路715で構成されている。内部回路714はその周辺モジュール700に応じた機能を有し、ここでは特に詳細は示していない。前記2相クロック生成回路717とAND回路715の詳細は図21で説明した2相クロック生成回路2300とAND回路2308と同じである。716は2相クロック生成回路717のクロック入力である。

【0070】クロックイネーブル信号708が“0”(ローレベル)にされると、2相クロック生成回路717から出力されるクロック信号XCLK1、XCLK2はそれぞれハイレベル、ローレベルに固定される。したがって、内部回路714は、その状態に固定された2相クロック信号XCLK1、XCLK2が供給されているとき、図示を省略する内蔵レジスタの値は保持される。そのような内蔵レジスタは周辺回路の資源としてプロセッサ100のメモリ空間に割り付けられている。

【0071】前記アクセラレータ200に対するクロック供給制御の構成は図23の構成そのままだではない。仮に、前記アクセラレータ200に対するクロック供給制御の構成を図23の構成そのままとすると、プロセッサコア120がアクセラレータ200と連携して波形等化などの処理を行っているとき、その処理よりも優先度の高い割り込み等が要求されたとき、これによってプロセッサコア120が割り込み処理に分岐すると、プロセッサコア120は最早、前記モジュール停止レジスタ704にアクセスできなくなり、アクセラレータ200のクロック供給を停止させることが不可能となる。プロセッサコア120が割り込み処理を行っている間、アクセラレータ200の演算動作が継続されれば、プロセッサコア120はその演算結果を取りこぼすことになる。

【0072】そこで、プロセッサ100は、予測できない優先度の高い割り込みでプロセッサコア120が直接アクセラレータ200へのクロック制御を行えない場合にも、間接的にアクセラレータ200へのクロック制御を可能にするように構成されている。以下、その構成を詳細に説明する。

【0073】先ず、図1に基づいてアクセラレータ200に対するクロック制御の基本的な構成を説明する。

【0074】図1には前記プロセッサ100の前記周辺回路113として割り込みコントローラ121及びアクセラレータ200が代表的に示されている。内部バス122は図17で説明したメインアドレスバス103、制御バス104及びメインデータバス107を総称する。

【0075】プロセッサコア120とアクセラレータ200が例えば波形等化などの処理を連携して実行しているとき、プロセッサコア120はアクセラレータ200の出力レジスタ226を連続的に読み出す必要がある。即ち、プロセッサコア120は出力レジスタ226に所定サイクル毎に現れる演算結果をリード(Read)し、リードしたデータをプログラム/データ兼用メモリ112にライト(Write)する。この途中でプロセッサコア120に割り込みが要求されて、プロセッサコア120がその要求に应答する割り込み処理に分岐されると、プロセッサコア120は出力レジスタ226から演算結果データを読み出せなくなる。優先度の低い割り込みについてはプロセッサコア120がアクセラレータ200を用いる処理に入る直前に、割り込みコントローラ121を介してその割り込み要求をマスクして、当該割り込み要求による割り込みの発生を禁止することができる。そして、アクセラレータ200を用いた処理を終了した後、プロセッサコア120は当該優先度の低い割り込み禁止を解除すればよい。しかしながら、マスク不可能な優先度の高い割り込み(例えば復調のためのデータ入力や音声出力のためのデータ入力のように、特定の事象の発生に対して高速にデータを入出力することが要求されるような優先度の高い割り込み)に対しては、そのような処理を行うことはできない。

【0076】優先度の高い割り込み要求が発生したとき、アクセラレータ200のクロック制御を可能にするために、割り込みコントローラ121がプロセッサコア120に出力する割り込み信号INTをアクセラレータ200に供給する。これによって、プロセッサコア120がモジュール停止レジスタ704のアクセラレータ対応ビットを操作しなくても、アクセラレータ200へのクロック信号の供給を停止できるようにする。124は割り込み要求信号である。

【0077】図2にはプロセッサ100に内蔵された高速入出力インタフェース123が割り込み要求信号124を割り込みコントローラ121に供給する構成が示されている。前述のように、優先度の高い割り込み要求信号124によってプロセッサコア120が割り込み処理に分岐されるとき、その割り込み信号INTによってアクセラレータ200へのクロック信号の供給が停止され、アクセラレータ200は割り込み信号INTが活性化されたときの内部状態をそのまま保持して演算動作を中断する。したがって、その割り込み要求によってプロセッサコア120が、高速入出力インタフェース123に供給されるデータをリード(Read)し、リードしたデータを

プログラム/データ兼用メモリ112にライト(Write)する動作に分岐されて、図1のようなアクセス動作(Read, Write)を行うことができなくなっても、アクセラレータ200による演算結果を取りこぼすことは一切無い。

【0078】図3には割り込み信号の活性化に同期してアクセラレータ200へのクロック信号の供給を停止させるための構成の詳細な一例が示される。

【0079】図3においてアクセラレータ200は、図18に示される2相クロック制御回路206として、AND回路250、2相クロック生成回路252、1ビットのクロック供給レジスタ255、AND回路245及び2相クロック生成回路247を有する。AND回路250、2相クロック生成回路252は図21の(A)で説明した回路と実質的に同じである。内部回路244は図18の2相クロック制御回路206以外の回路を意味する。

【0080】前記クロック供給レジスタ255は例えば、1個のJKフリップフロップによって構成される。以下、クロック供給レジスタ255をJKフリップフロップ255とも称する。前記JKフリップフロップ255はそのクロック入力CがハイレベルのときにJ=1、K=0であれば出力Qが1にセットされ、J=0、K=1であれば出力Qが0にリセットされる。このJKフリップフロップ255の出力Qは、2相クロック生成回路247に対するクロックイネーブル信号になっており、これを用いて内部回路244へのクロック供給を制御する。このクロック供給レジスタ255自身は、内部回路244へのクロック信号CLK1、CLK2の停止中も、クロック供給再開のためにセットできる必要がある。そこで、このクロック供給レジスタ255へのクロック供給はもう一つの2相クロック生成回路252から行う。この第2の2相クロック生成回路252へのイネーブル制御は前記停止制御モジュール702を用いて、図23で既に説明したように行う。

【0081】前記モジュール供給レジスタ255に対するリセットは図4に例示されるようにプロセッサコア120への割り込み信号INTを用いて行うことができる。即ち、Dフリップフロップ260を設け、そのデータ入力端子Dに割り込み信号INTを供給し、クロック入力端子Cにクロック信号XCLK2を供給する。このDフリップフロップ260の出力端子QをJKフリップフロップ255の入力端子Kに結合する。Dフリップフロップ260はそのクロック入力端子Cがハイレベルの時、入力端子Dの値(割り込み信号INTの値)を出力端子Qに出力する。割り込みコントローラ121からの割り込み信号INTは先ず、クロック信号XCLK2に同期して前記Dフリップフロップ260にラッチされ、クロック供給レジスタ255の入力端子Kに入力される。図示を省略するコントロールレジスタなどを利用してJ

=K=0となるように初期設定しておけば、この構成によってモジュール供給レジスタ255の出力Qを、プロセッサコア120への割り込み信号INTのハイレベルへの変化(活性化)に同期してリセット(ローレベル)にすることができる。

【0082】次に、アクセラレータ200の入力レジスタ222に対するライト動作又は出力レジスタ226に対するリード動作に連動してアクセラレータ200を動作可能にする構成について説明する。すなわち、図4のJKフリップフロップ255における入力端子Jに供給される信号256を生成する回路の例を示す。

【0083】図5の構成はアクセラレータ200の入力レジスタ222に対する書き込み動作に連動してアクセラレータ200に動作クロックを供給するようにしたものである。図5には前記プロセッサコア120とアクセラレータ200が代表的に示される。アクセラレータ200の内部は説明に必要な部分だけが明示され、内部回路244などは図示を省略されている。明示されているのはアドレスデコーダ270、2つのAND回路272、273、Dフリップフロップ260及び入力レジスタ222である。プロセッサコア120が入力レジスタ222のアドレスをアドレスバス103を介して発行すると、アドレスデコーダ270は入力レジスタ222の選択信号271を選択レベル即ちハイレベルにする。このとき、プロセッサコア120から出力されるライトイネーブル信号WEがローレベル(アクティブローを仮定)ならば、アンドゲート272の出力信号274がハイレベルとされる。この信号274は入力レジスタ222が書き込みのために選択されたことを意味する。入力レジスタ222への書き込みは、この選択信号274がハイレベルの間にクロック信号XCLK2に同期して行われる。この選択信号274は更にDフリップフロップ260のデータ入力端子Dに供給される。前記選択信号274は、Dフリップフロップ260のクロック入力端子Cに供給されるクロック信号XCLK2に同期してデータ出力端子Dから出力され、図3の前記クロック供給レジスタ255のセットクロック信号(Set Clock)256とされ、入力端子Jに入力される。この構成によってモジュール供給レジスタ255を、入力レジスタ222への書き込み時にセット(J=1)することができる。図6には前記動作のタイミングチャートが示されている。図4の構成に図5に係るモジュール供給レジスタ255をセットする構成を付加することにより、入力レジスタ222に最初のデータを書き込むことによってアクセラレータ200を起動できる。また、優先度の高い割り込みでアクセラレータ200が停止している場合、この割り込みルーチンの一番最後で入力レジスタ222にもう一度データを書き込むことによってアクセラレータ200を再起動できる。

【0084】図7の構成はアクセラレータ200の出力

レジスタ226に対する読み出し動作に連動してアクセラレータ200に動作クロックを供給するようにしたものである。図7には前記プロセッサコア120とアクセラレータ200が代表的に示される。アクセラレータ200の内部は説明に必要な部分だけが明示され、内部回路244などは図示を省略されている。明示されているのはアドレスデコーダ270、2つのAND回路280、281、Dフリップフロップ260及び出力レジスタ226である。プロセッサコア120が出力レジスタ226のアドレスをアドレスバス103を介して発行すると、アドレスデコーダ270は出力レジスタ226の選択信号282をハイレベルにする。この時、プロセッサコア120からのリード信号RDがローレベル(アクティブローを仮定)ならば、信号283がハイレベルとなる。この信号283は出力レジスタ226が読み出しのために選択されたことを示す。出力レジスタ226からの読み出しは、この選択信号283がハイレベルの間におけるクロック信号XCLK1に同期して行われる。この選択信号283は更にDフリップフロップ260でクロック信号XCLK2に同期を採られてからクロック供給レジスタ255のセット信号(Set Clock)256となり、クロック供給レジスタ255の入力端子Jに入力される。この構成によってモジュール供給レジスタ255を出力レジスタ226の読み出し時にセットすることができる。図8にこの場合のタイミングの詳細を示す。図4の構成に図7に係るモジュール供給レジスタ255をセットする構成を付加することにより、優先度の高い割り込みでアクセラレータ200が停止している場合、この割り込みルーチンの一番最後で出力レジスタ226を読むことによってアクセラレータ200を再起動できる。

【0085】以上から明らかなように、図4の構成によればプロセッサコア120への割り込み信号INTを用いてアクセラレータ200へのクロック供給を停止することができる。また、図5又は図6の構成を採用すれば、割り込みルーチンの終了後にアクセラレータ200のレジスタ222又は226をアクセスすることによりアクセラレータ200へのクロック供給を再開することができる。

【0086】アクセラレータ200に対するクロック制御の第2の例を図9及び図10に基づいて説明する。ここで説明する例は、プロセッサコア120以外に優先度の高いデータ転送割り込みを処理できるDMAC131など別のバスマスタが存在する場合である。この場合、プロセッサコア120が割り込み要求に回答しない場合であっても、プロセッサコア120はバス権を失うことがあり、これによってプロセッサコア120はアクセラレータ200の出力を取りこぼす可能性がある。これに対処可能にする例を次に説明する。

【0087】図9においてプロセッサ100は、バスア

23

ービタ130及びDMAC131を更に備える。バスアービタ130及びDMAC131は図17の周辺回路113に含まれる回路モジュールである。バスアービタ130は、優先度の高い割り込み要求124、プロセッサコア120から出力されるリードライト要求R/W1及びDMACから出力されるリード/ライト要求R/W2を入力し、例えば何れの要求が早いかに応じて、バスレディ信号BRDY1、BRDY2の何れか一方をイネーブルにする。図9の例では、プロセッサコア120へのバスレディ信号BRDY1を用いてアクセラレータ200へのクロック供給停止を行う。

【0088】図10にはプロセッサコア120へのバスレディ信号BRDY1を用いてアクセラレータ200へのクロック供給停止を行うように構成されたアクセラレータ200の一例が示される。図10において、アクセラレータ200は、前記内部回路244、前記2相クロック生成回路252、247、前記AND回路250、246を有し、更に、インバータ272及びDフリップフロップ270を有する。Dフリップフロップ285は、そのクロック入力端子Cに供給されるクロック信号XCLK2がハイレベルの時、入力端子Dに供給されるバスレディ信号BRDY1の値をラッチして出力端子Qに出力する。このDフリップフロップ285の出力286はインバータ287で反転され、2相クロック生成回路247に対するクロックイネーブル信号とされる。ここで、前記バスレディ信号BRDY1はアクティブローの信号である。前記Dフリップフロップ247自身は、内部回路244へのクロック信号CLK1、CLK2停止中でもクロック信号供給を再開できるようにセット可能であることが必要がある。そこで、このDフリップフロップ285のクロック端子Cへのクロック信号の供給は、もう一つの2相クロック生成回路252から行われる。この2相クロック生成回路251へのイネーブル制御はモジュール停止信号710を用いて前述の図23の説明と同様に行われる。

【0089】従って、図9及び図10の例から理解されるように、プロセッサコア120へのバスレディ信号BRDY1を用いてアクセラレータ200へのクロック信号の供給を停止することができる。この制御を採用する場合には、プロセッサコア120にバス権が戻った(バスレディ信号BRDY1がハイレベルにされる)時点で自動的に、内部回路244へのクロック信号CLK1、CLK2の供給が再開される。

【0090】次に、アクセラレータ200に対するクロック制御の第3の例を説明する。図11には、図3及び図4で説明したアクセラレータ200内部の1ビットのクロック供給レジスタ255を自律的にクリアして内部回路244へのクロック信号CLK1、CLK2の供給を停止する構成が示される。

【0091】図11は図3の構成に対して自律的クロッ

24

ク停止回路290を追加したものである。自律的クロック停止回路290は、アクセラレータ200の起動後、決められたサイクル数だけ動作した後にクロック停止信号291を生成してJKフリップフロップ255の入力端子Kに供給する。ハイレベルのクロック停止信号291がJKフリップフロップ255の入力端子Kに供給されると、JKフリップフロップ255の出力端子Qから出力されるクロックイネーブル信号258がローレベルにされ、2相クロック生成回路247によるクロック信号CLK1、CLK2の発生が停止される。

【0092】図12には自律的クロック停止回路290の内部構成例が示される。図13には自律的クロック停止回路290の動作タイミングチャートが示される。図12に示される自律的クロック停止回路290は、カウンタ292、期待値レジスタ293、比較器296及びDフリップフロップ298を有する。カウンタ292はクロック入力端子に供給されるクロック信号CLK1のクロックサイクルに同期してカウントアップ動作を行う。カウンタ292の計数値は期待値レジスタ293の値と比較器296で比較される。図18及び図20で説明したようにアクセラレータ200は3サイクル毎に出力レジスタ226に演算結果を与えることができるから、この例では、前記期待値レジスタ293に設定される期待値は“2”とされる。すなわち、カウンタ292は計数値“0”～“2”を繰り返すことになる。カウンタ292の値が“0”からカウントアップされ、期待値の“2”に等しくなると、比較器296から一致検出パルス297が出力される。この一致検出パルス297によってカウンタ292の計数値は“0”にクリアされる。また、前記一致検出パルス297はクロック信号CLK2に同期してDフリップフロップ298にラッチされ、JKフリップフロップ255の入力端子Kに入力される。これによって自律的クロック停止回路290へのクロック信号CLK1、CLK2の供給が停止される。

【0093】内部回路244へのクロック信号CLK1、CLK2の供給を再開する手段については図12では図示を省略しているが、例えば、前述のように、アクセラレータ200の出力レジスタ266の読み出し動作に同期して、クロック信号CLK1、CLK2の供給を再開できる。

【0094】図14にはアクセラレータ200の構成として図11と図7で説明した構成を合わ持つものが示される。図14の構成によれば、アクセラレータ200は起動された後、自律的クロック停止回路290の期待値レジスタ293に設定された値に應ずるサイクル(例えば3サイクル)だけ動いては必ず停止する。プロセッサコア120がアクセラレータ200の出力レジスタ226を読むことによって、内部回路244へのクロック信号CLK1、CLK2の供給が再開される。プロセッサコア120がある決められた間隔で(3サイクル毎に)

アクセラレータ200の特定レジスタ、即ち出力レジスタ226を読み続けることにより、アクセラレータ200にクロック信号CLK1、CLK2を供給できる。クロック信号CLK1、CLK2の供給を停止する場合は、プロセッサコア120が前記出力レジスタ226を読まなければならない。優先度の高い割り込みでプロセッサコア120が出力レジスタ226を読めない場合、アクセラレータ200は自動的に停止する。

【0095】図14の構成によれば、プロセッサコア120がアクセラレータ200の出力レジスタ226を読めない場合には、内部回路244へのクロック信号CLK1、CLK2の供給を自動的に停止することができる。また、単にプロセッサコア120がアクセラレータ200の出力レジスタ226をリードすることによりアクセラレータ200に対するクロック信号CLK1、CLK2のクロック供給を再開することができる。

【0096】以上の説明では主として本発明者によってなされた発明をデジタルセルラ携帯電話などの移動体通信端末装置に適用した場合について説明したが、例えば、誤り訂正処理用のアクセラレータ、音声コーデ・デコード用のアクセラレータなどを用いるデータ処理装置にも適用することができる。これらはデジタルTVやデジタルオーディオ放送の受信器などに有用である。移動体通信端末装置はGSMに限定されない。

【0097】図17に示されるプロセッサを他の応用に容易に対応させるためにASIC展開できるように構成することも可能である。

【0098】図24は図17に示したDSPや統合プロセッサなどのプロセッサをASIC用に一般化した構成を示すブロック図である。例えば前記プロセッサコア120をASIC (Application Specific Integrated Circuits) 用プロセッサコアとして構成する。即ち、プロセッサコア120に関する論理機能的並びにデバイス構造的に検証済みのレイアウト設計データをライブラリに備えており、プログラム/データ兼用メモリ112及びアクセラレータマクロセル114を除く部分が他の全ての応用に共通に使えるという意味でASIC用プロセッサコア120としてまとめられている。逆に言うとプログラム/データ兼用メモリ112とアクセラレータ114をカスタマイズすることによって他の応用分野への適用が簡単になる。

【0099】また、アクセラレータのクロック制御に用いるフリップフロップはJKフリップフロップに限定されず、RSフリップフロップであってもよい。

【0100】また、前記説明ではアクセラレータはプロセッサコアにオンチップされているが、双方を別チップで構成することも可能である。その場合には、図14で説明したクロック制御手法を用いれば、プロセッサコアとアクセラレータが別チップであることによって制御が特別に難しくなることもない。

【0101】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0102】すなわち、データ処理装置の演算処理手段がアクセラレータのような専用ハードウェア手段と連携して処理を行っているとき、演算処理手段が割り込まれたり、バス権を失って、その処理が中断される場合にも、専用ハードウェア手段による演算結果を取りこぼす事態を防止することができる。

【0103】そのようなデータ処理装置を移動通信端末装置のようなデータ処理システムに適用することにより、演算量の増大に対する高速処理をアクセラレータ手段を用いて促進することができる。

【図面の簡単な説明】

【図1】アクセラレータへのクロック供給を割り込み信号によって停止可能にしたプロセッサの一例を、プロセッサコアがアクセラレータと連携して動作する状態に着目して示したプロセッサのブロック図である。

【図2】アクセラレータへのクロック供給を割り込み信号によって停止可能にしたプロセッサの一例を、プロセッサコアが高速入出力インタフェースからの割り込み要求に応答して動作する状態に着目して示したプロセッサのブロック図である。

【図3】割り込み信号の活性化に同期してアクセラレータへのクロック信号の供給を停止させるためのプロセッサの一例を示すブロック図である。

【図4】モジュール供給レジスタに対するリセットをプロセッサコアへの割り込み信号を用いて行うようにしたプロセッサの更に具体的な一例を示すブロック図である。

【図5】アクセラレータの入力レジスタに対する書き込み動作に連動してアクセラレータに動作クロックを供給するようにした構成に着目したアクセラレータのブロック図である。

【図6】図5の動作タイミングの一例を示すタイミングチャートである。

【図7】アクセラレータの出力レジスタに対する読み出し動作に連動してアクセラレータに動作クロックを供給するようにした構成に着目したアクセラレータのブロック図である。

【図8】図7の動作タイミングの一例を示すタイミングチャートである。

【図9】プロセッサコア以外に優先度の高いデータ転送割り込みを処理できるDMACなど別のバスマスタを内蔵する場合にアクセラレータへのクロック供給制御を可能にするプロセッサのブロック図である。

【図10】プロセッサコアへのバスレディ信号を用いてアクセラレータへのクロック供給停止を行うように構成されたアクセラレータの一例を示すブロック図である。

【図11】図3の構成に対して自律的クロック停止回路を追加したアクセラレータの一例を示すブロック図である。

【図12】自律的クロック停止回路の具体的な一例を示すブロック図である。

【図13】自律的クロック停止回路の動作タイミングを示すタイミングチャートである。

【図14】図11と図7の構成を合わ持つアクセラレータを示すブロック図である。

【図15】移動体通信システムの概要を示すブロック図である。

【図16】DSPと汎用マイクロプロセッサを用いて構成したGSM移動体通信端末装置の一例を示すブロック図である。

【図17】DSP又は統合プロセッサ等のプロセッサの一例を示すブロック図である。

【図18】図17のプロセッサに含まれるアクセラレータの全体的な構成の一例を示すブロック図である。

【図19】図17のプロセッサのメモリ空間の一例を示すアドレスマップである。

【図20】図17のアクセラレータのデータ入出力の全体的なタイミングを示すタイミングチャートである。

【図21】2相クロック生成回路とその動作タイミングを示す説明図である。

【図22】ノンオーバーラップ2相クロック信号によって動作されるマスタ・スレーブ形式を有するレジスタの1ビットの構成を示す論理回路図である。

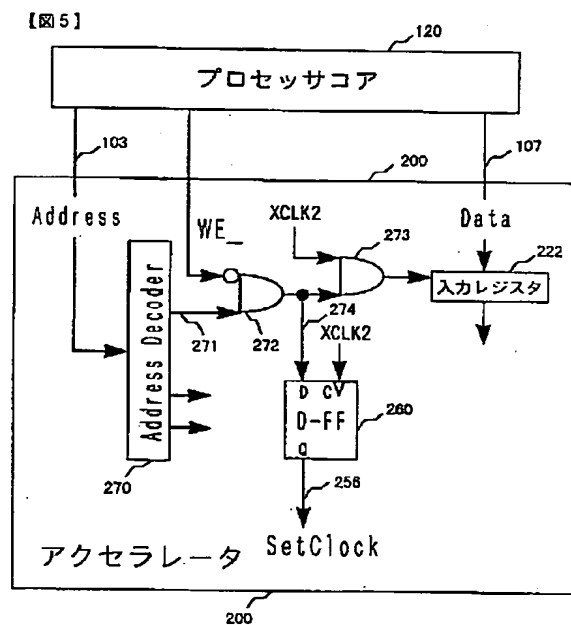
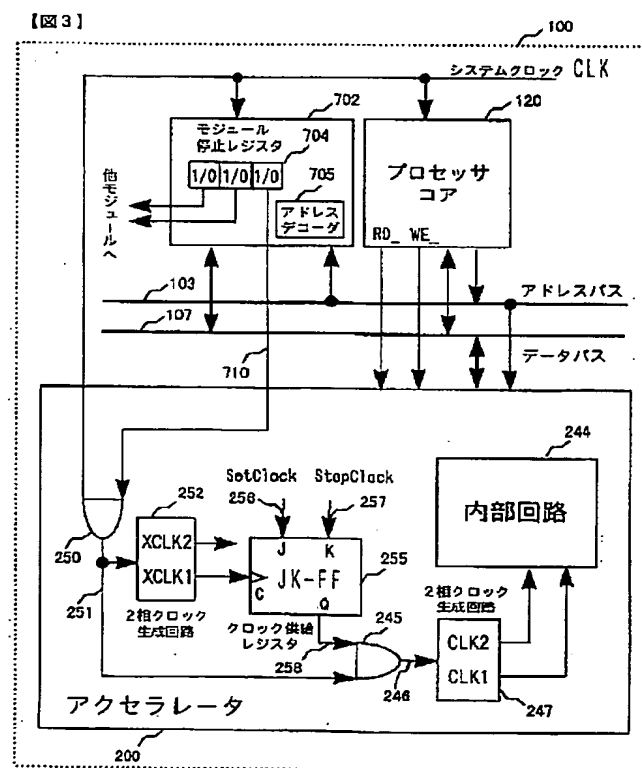
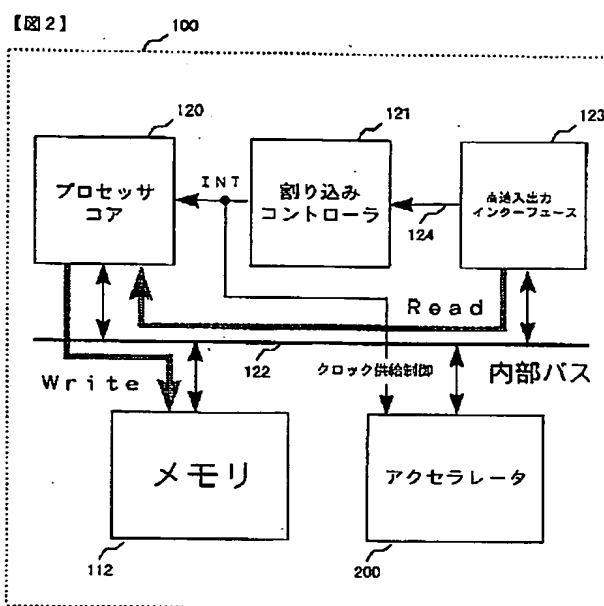
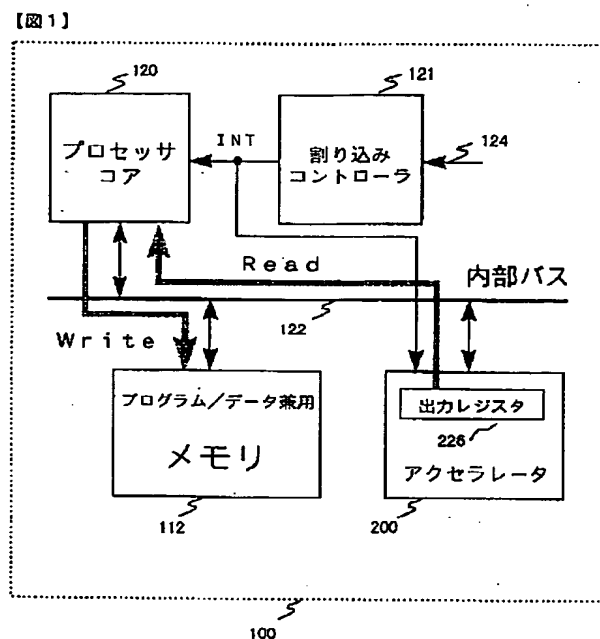
【図23】図17のプロセッサにおけるアクセラレータ以外の周辺回路に対するクロック供給制御のための構成を示すブロック図である。

【図24】ASIC展開を考慮して図17のプロセッサコアと用途別アクセラレータとを同一チップ上に搭載したプロセッサの全体的なブロック図である。

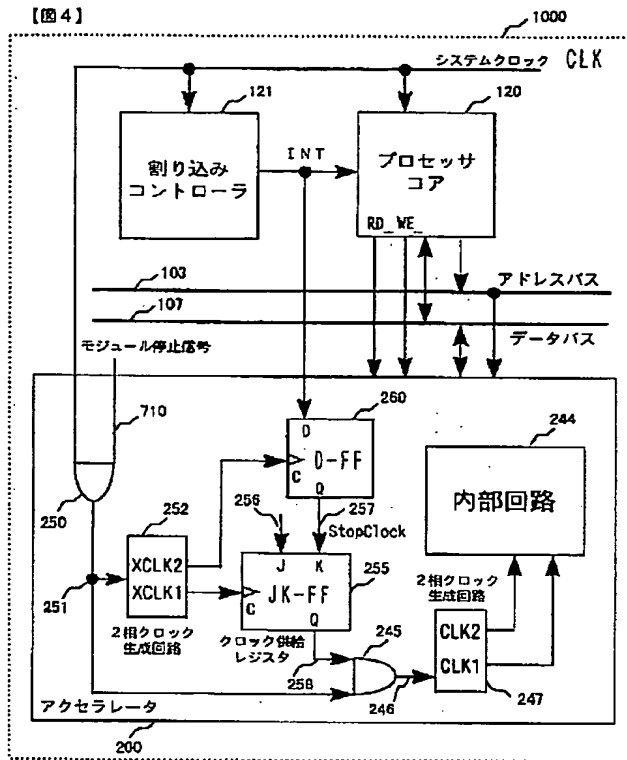
【符号の説明】

100 プロセッサ (DSP、統合プロセッサ)
108 データ演算ユニット
109 プログラム制御/データ転送ユニット
110 データ用メモリX

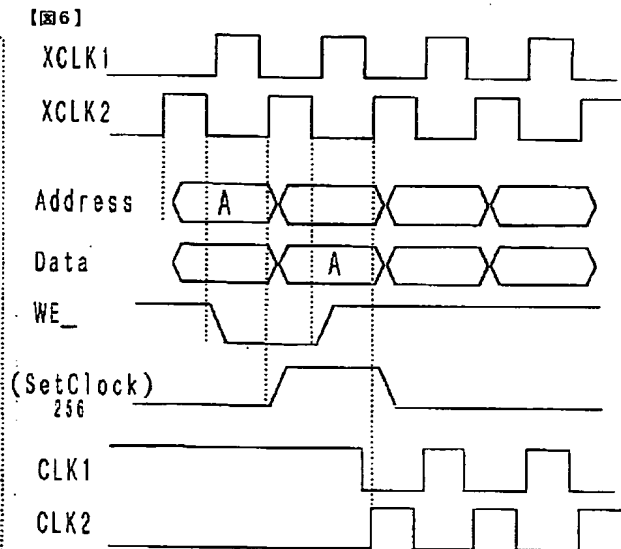
111 データ用メモリY
112 プログラム/データ兼用メモリ
113 周辺回路
120 プロセッサコア
121 割り込みコントローラ
INT 割り込み信号
124 割り込み要求
123 高速入出力インタフェース
130 バスアービタ
131 DMAC
BRDY1, BRDY2 バスレディー信号
200 アクセラレータ
CLK システムクロック信号
CLK1, CLK2 ノンオーバーラップ2相クロック信号
206 2相クロック制御回路
222 入力レジスタ
224 中間レジスタ
226 出力レジスタ
244 内部回路
247, 252 2相クロック生成回路
255 JKフリップフロップ
260 Dフリップフロップ
270 アドレスデコーダ
285 Dフリップフロップ
290 自律的クロック停止回路
292 カウンタ
293 期待値レジスタ
296 比較器
298 Dフリップフロップ
702 停止制御モジュール
704 モジュール停止レジスタ
710 モジュール停止信号
1702 アナログフロントエンド
1710 高周波変復調器
1723 DSP
1727 汎用マイクロプロセッサ



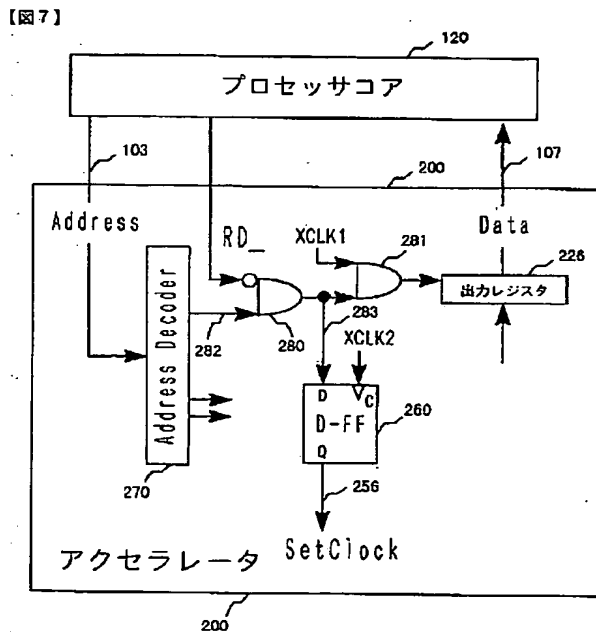
【図4】



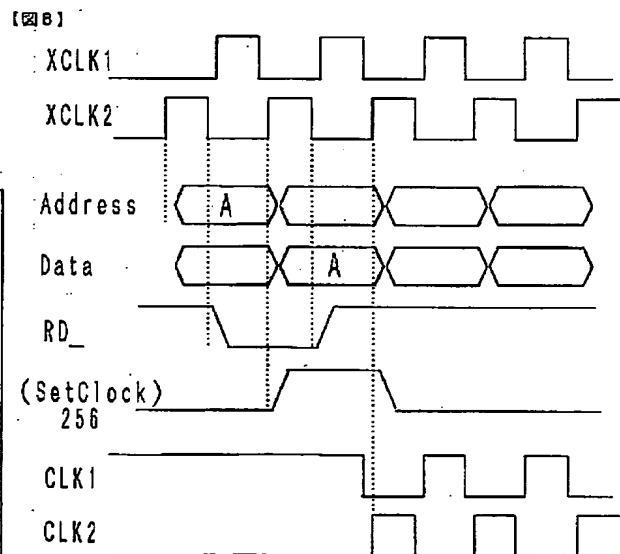
【図6】



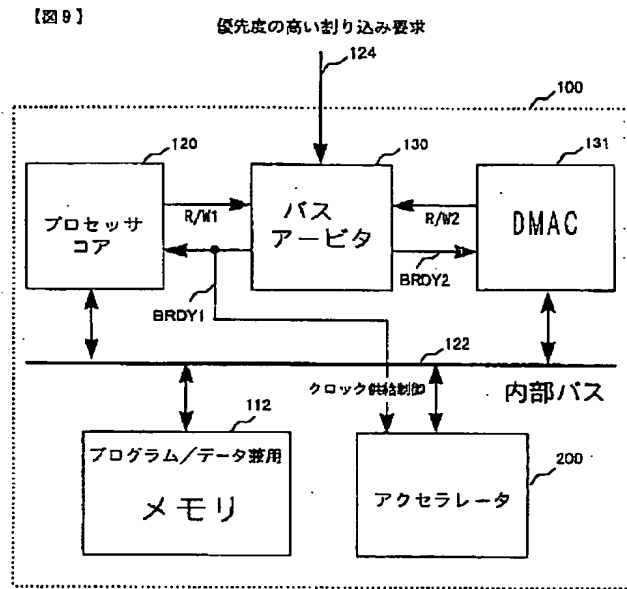
【図7】



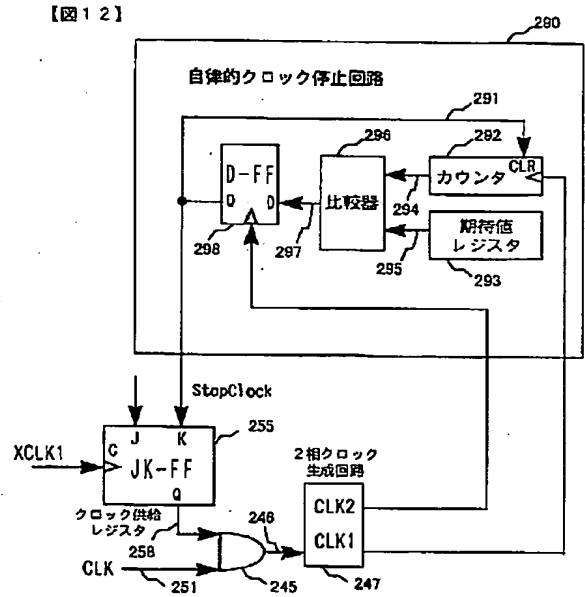
【図8】



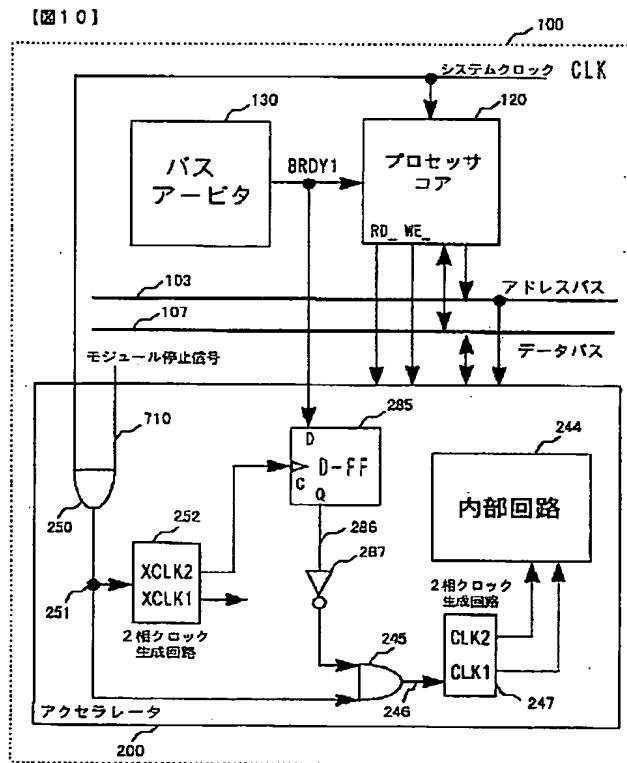
【図9】



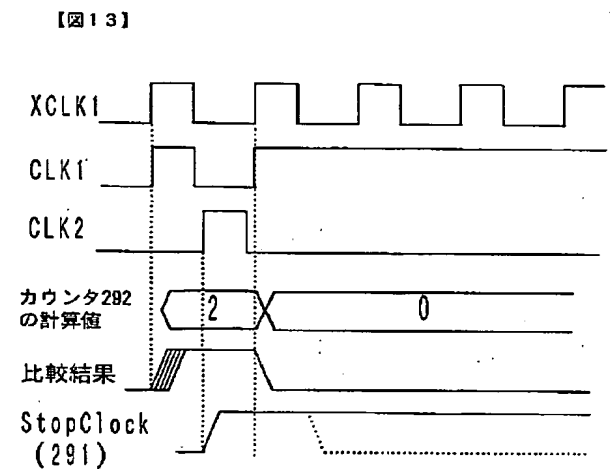
【図12】



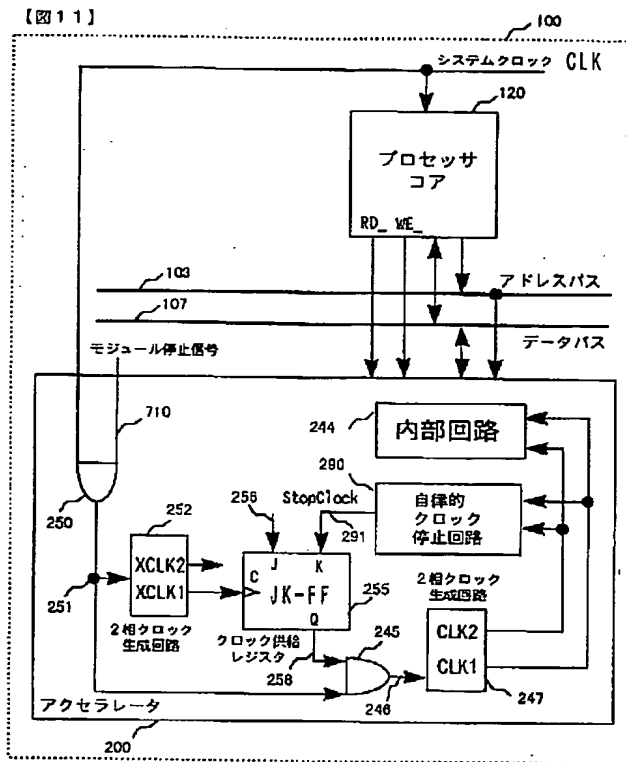
【図10】



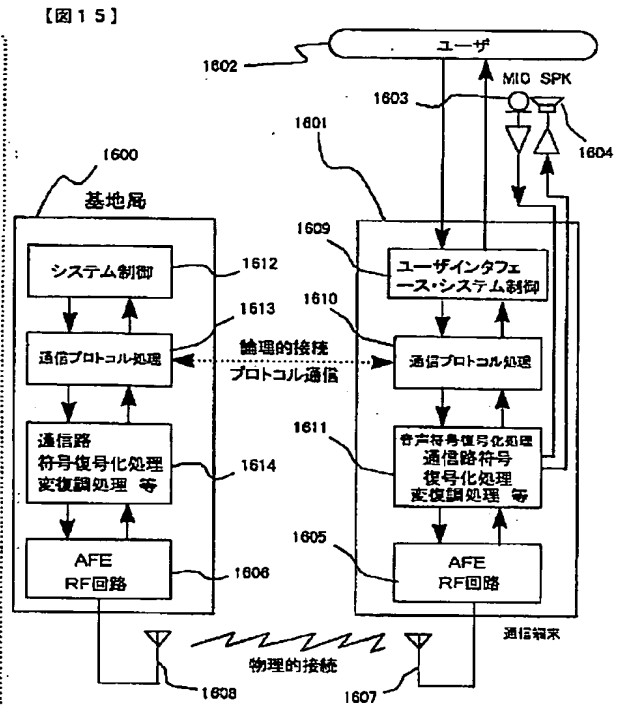
【図13】



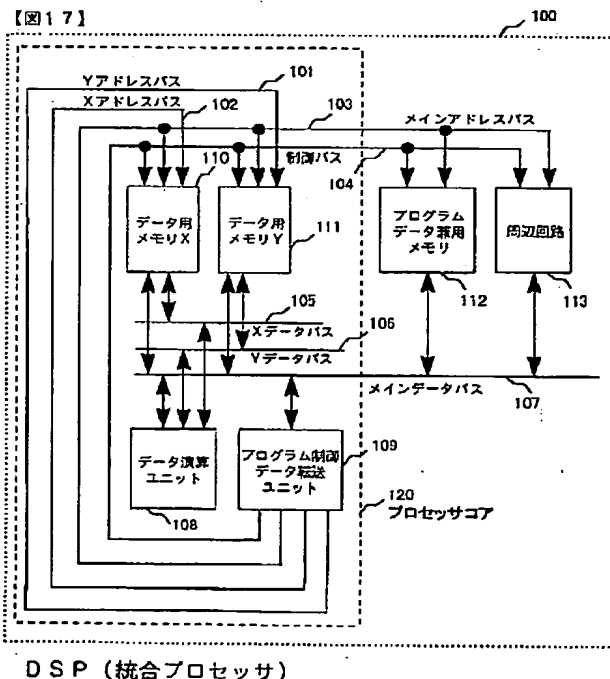
【図11】



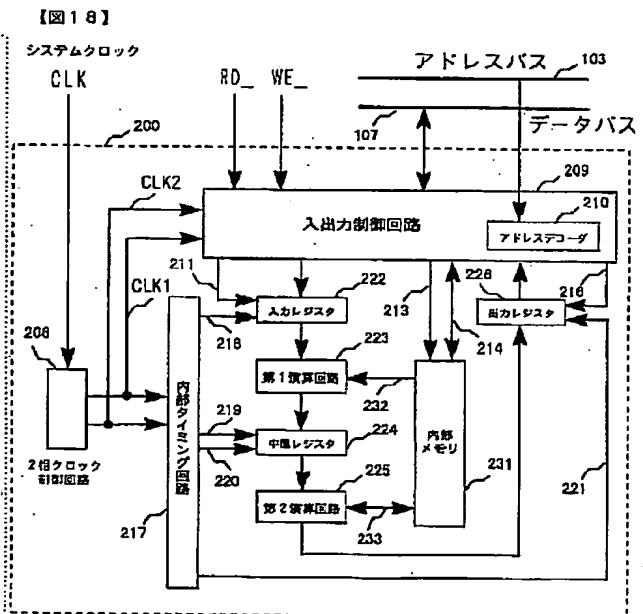
【図15】



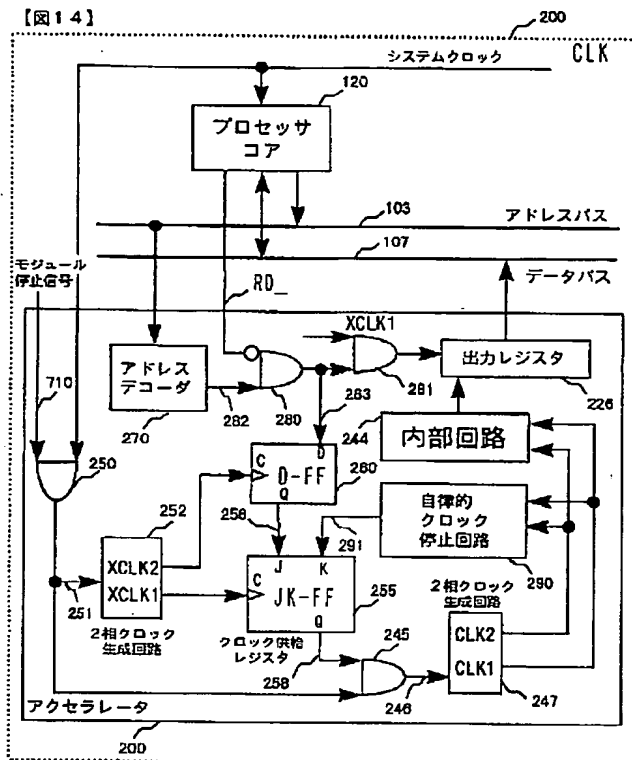
【図17】



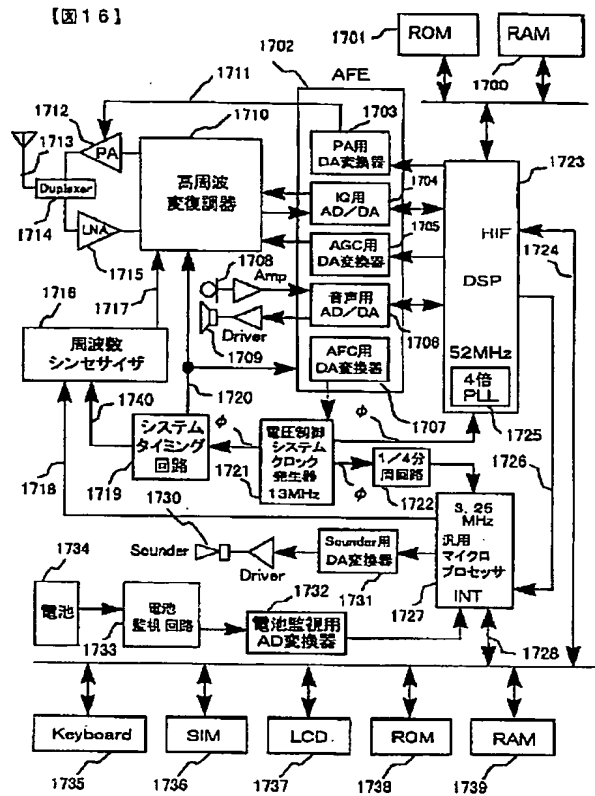
【図18】



【図14】

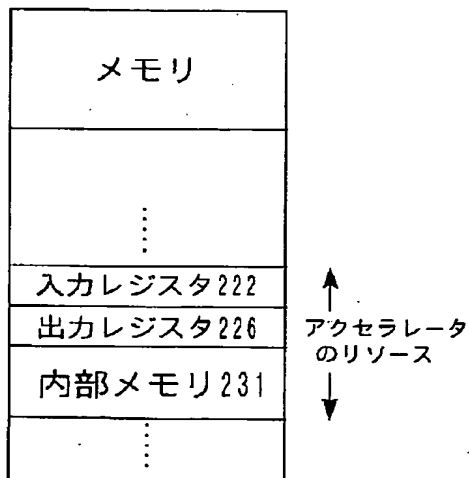


【図16】



【図19】

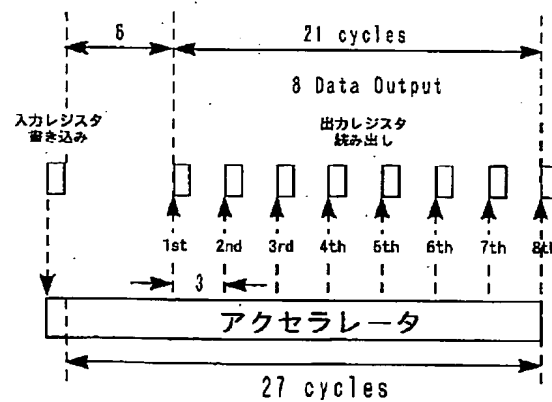
【図19】



プロセッサのアドレス空間

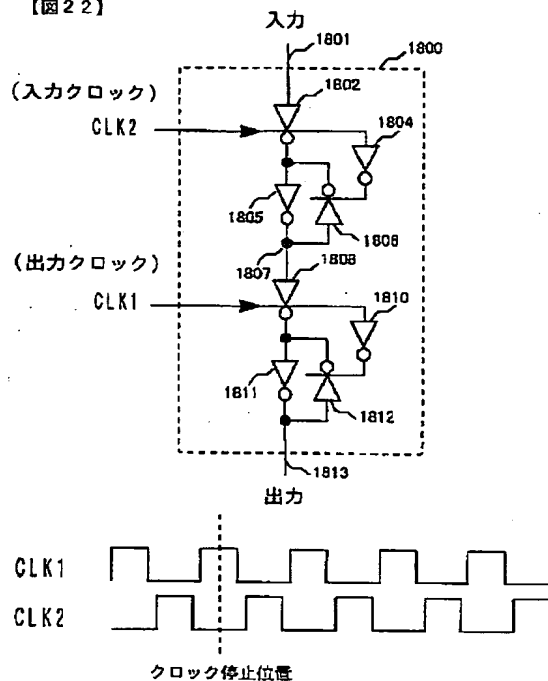
【図20】

【図20】



【圖 2 2】

【图 22】



【图 2 4】

【圖 24】

